



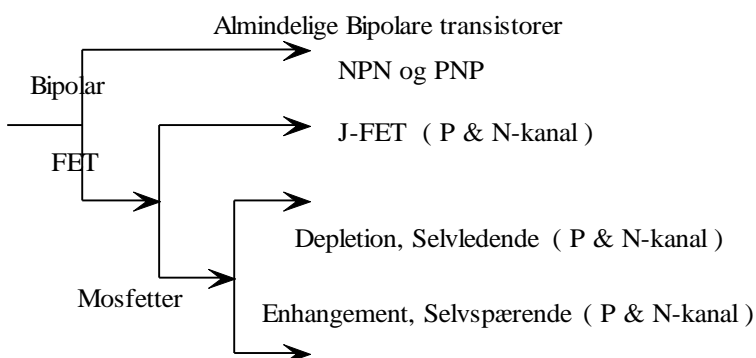
Kompendium om J-FET

FET transistorer Generelt

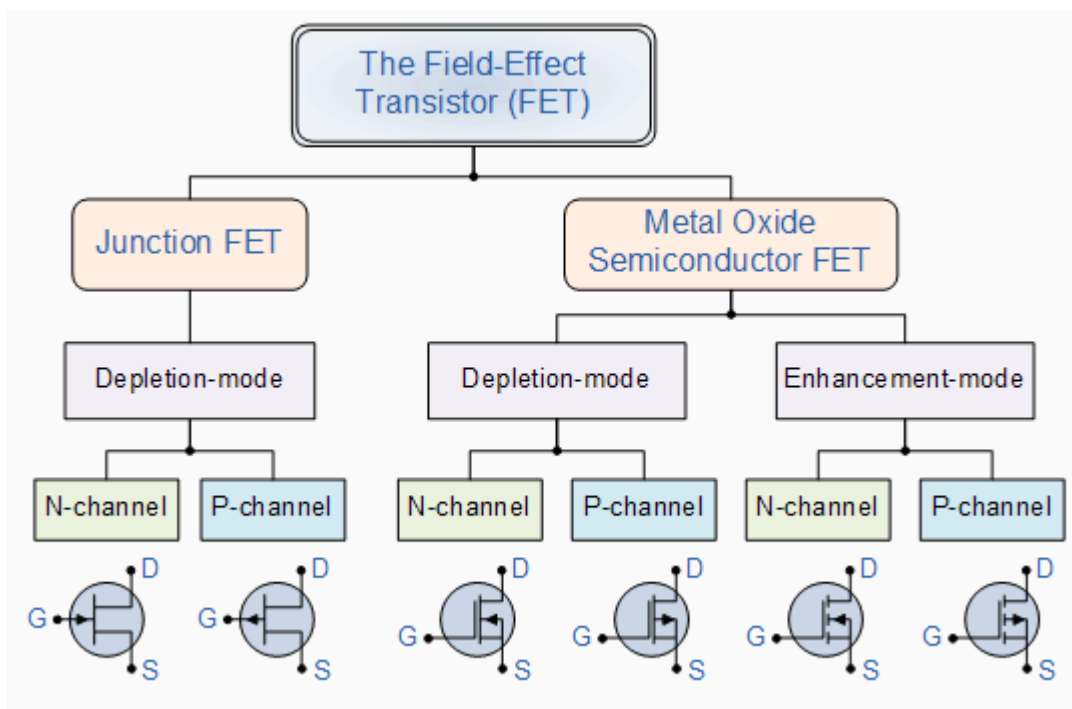
Fet-transistorer er opbygget helt anderledes end bipolar transistorerne. Her er det ikke en basisstrøm, der styrer ledeevnen gennem transistoren, men et elektrisk felt. Dvs. der blot skal en spænding på indgangen, der her kaldes "Gate".

Heraf navnet, **F**ield **E**ffect **T**ransistorer.

Familietræet for alle transistorer kan tegnes som denne skitse:



Eller som her, gaflet fra nettet:



Kilde: http://www.electronics-tutorials.ws/transistor/tran_8.html

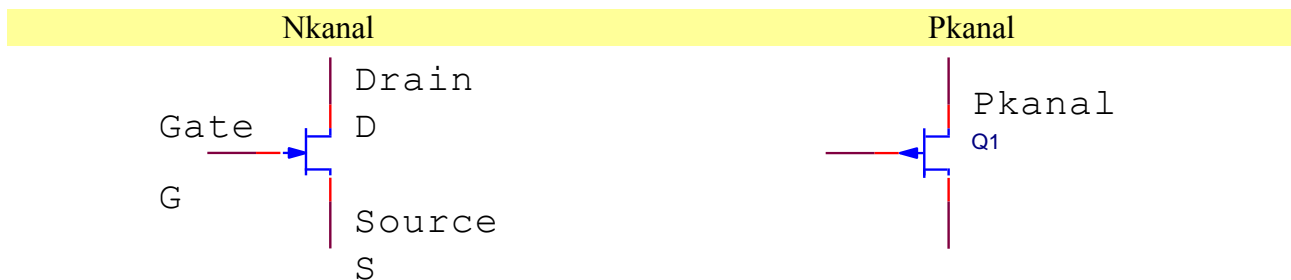


Som der ses, findes der flere typer FET'er. Fælles for de forskellige FET-typer er:

- Styres af spændingen på gaten. ΔU_{GS}
- Har stor indgangsmodstand R_i på gaten. Fx 10^{12} Ohm statisk. Dynamisk vil kapaciteter på chippen spille ind !! og kræve en strøm i gaten, stigende ved højere frekvenser !
- Der er stor parameterspredning
- Transistorerne findes både som P & N-kanal
- Nogle forhold er ringere, nogle er bedre end Bipolar transistorer.
- FET'er har en lav forstærkning.

J-FET

JFET står for Junction FET. Der er forbindelse fra Gaten ind til Drain og Source via en diode i spærreretningen.

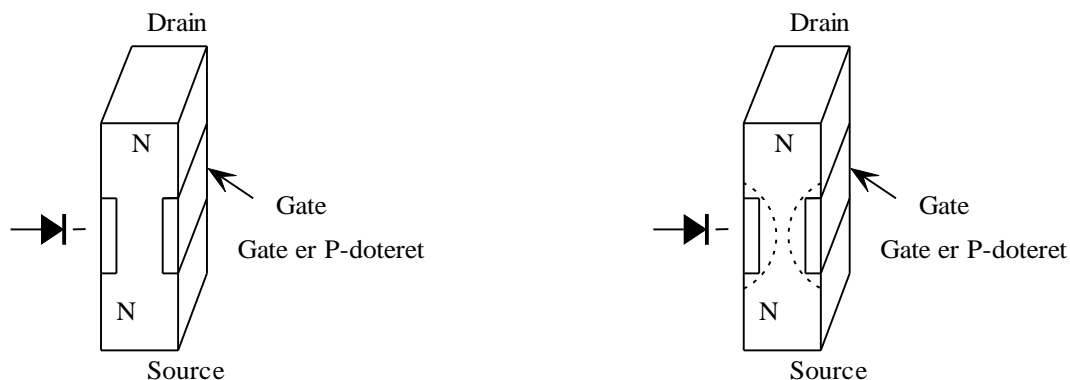


Dioden peger for en Nkanal indad. Dvs. at gatespændingen skal være negativ.

JFET's har ikke problemer med de 0,7 Volt, som ved bipolare transistorer, men U_{GS} der styrer transistoren skal være negativ!! – Og det giver problemer. MOSFET's er mere "Logiske" Se senere.

J-FET's har stor indgangsmodstand, R_i , - og også stor udgangsmodstand, R_o , og bruges derfor kun til småsignalforstærkning.

Opbygning af en Jfet:

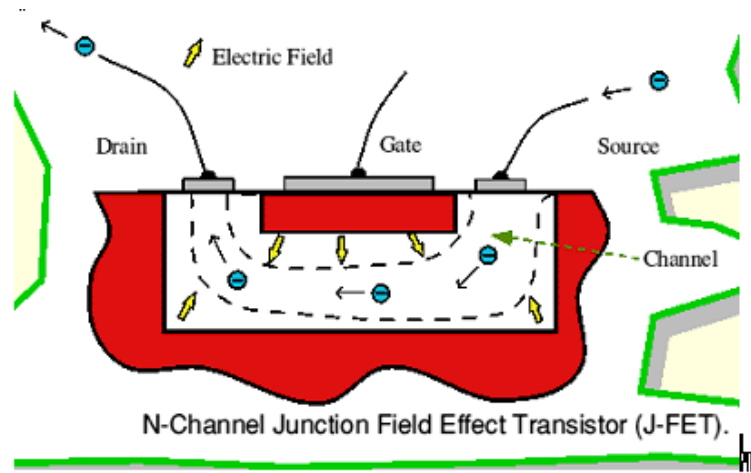




Gaten er P-doteret, og selve silicium-stangen er N-doteret. Dvs, der set fra gaten er en PN-overgang ind til Drain og Source.

Hvis gaten bliver negativ, dvs. overskud af huller, vil området omkring gaten drænes for frie ladningsbærere. Altså vil modstanden fra Drain til source blive større. Og ved en større negativ spænding, vil transistoren spærre helt.

Her et andet billede af opbygningen:

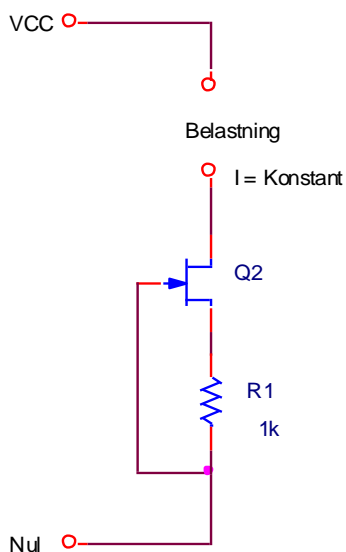


Man kan sammenligne gaten med en **"ringmuskel"**, der klemmer mere, jo mere negativ gatespændingen er.

Jo mere negativ gate, U_{GS} , jo mindre bliver strømmen I_{DS} . Dvs, der må være en negativ spænding, der helt lukker I_{DS} .

Se animation på http://www.learnabout-electronics.org/fet_03.php

Det kan udnyttes i fx en strømgenerator!



Konstantstrømgenerator!!

Jo større strømmen gennem belastningen bliver, fx gennem en lysdiode, jo større bliver delta U_{R1} og jo mere negativ bliver U_{Gate} i forhold til Source. Og jo mere negativ gate i forhold til Source, jo mindre strøm kan der løbe fra Drain til Source.

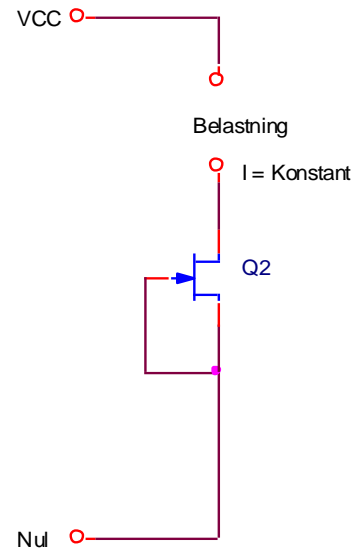
Der vil indstille sig en ligevægt!! hvor strømmen er konstant uanset den påtrykte spænding U_{cc} .



Men der er også en modstand i transistorens Source-silicium-materiale, og det giver også et spændingsfald. Dvs. gatespændingen i realiteten vil være negativ i forhold til Source. Også selvom gaten forbindes direkte til Source, altså $U_{GS} = 0$.

Dvs. selv ved Gaten kortsluttet til Source, vil der indstille sig en konstant strøm !!

Denne strøm kaldes transistorens I_{DSS} .

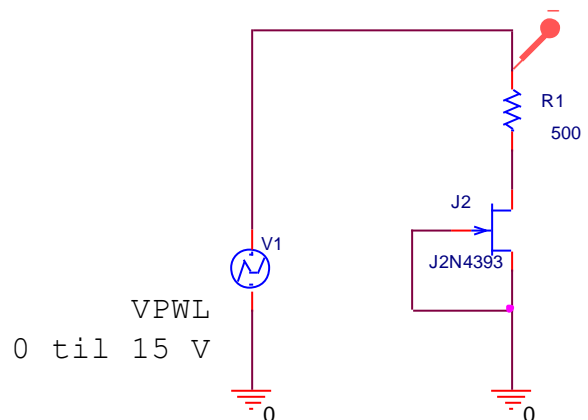


Altså:
$$I_{DS}|_{U_{GS}=0} = I_{DSS}$$

ORCAD:

Opbyg dette kredsløb, og test det.

Forklar !



En FET-transistors I_{DSS} kan findes i databladet. Her et par eksempler.

Transistor	I_{DSS} mA
BC 264A	2 - 4,5
BC 264B	3,5 - 6,5
BC 264C	5 - 8
BF 245A	2 - 6,5
BF 245B	6 - 15
BF 256B	6 - 13
BF 256C	11 - 18

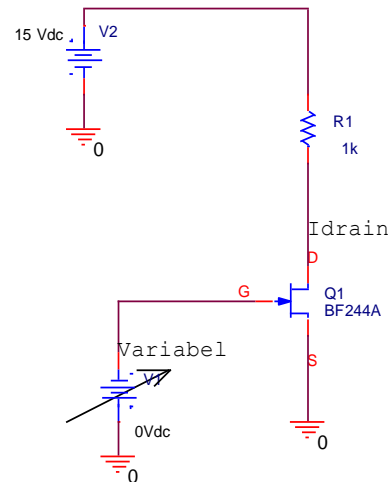


Det ses, at der er stor spredning.

Denne strømgenerator-funktion kan købes færdig. Der findes en serie JFET' - transistorer, med kun to ben ført ud. Tjek databladet for J500 serien, fx J509. De kaldes "Current Regulator Diodes".

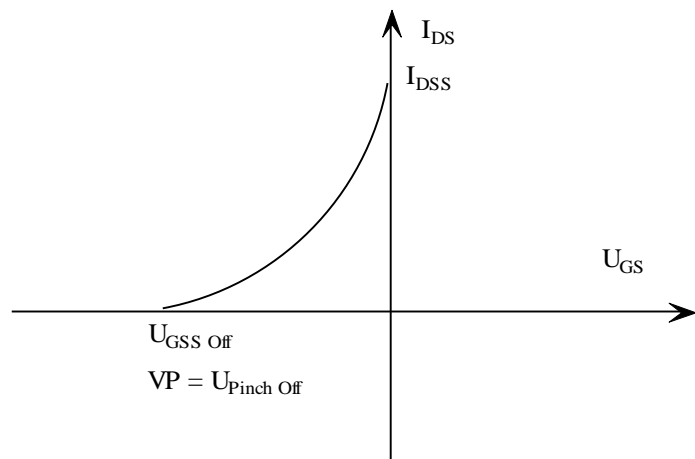
Nu undersøges en JFET for forskellige negative spændinger på Gatens. Følgende kredsløb bruges:

Gatespændingen varieres, samtidig med, at Drain-strømmen iagttages.



Jo mere negativ Gate-spændingen er, jo mindre er strømmen gennem transistoren, fra Drain til Source.

Sammenhængen mellem U_{GS} og I_{DS} er desværre ikke lineær! Derfor bør kun små signaler forstærkes med JFET. !! Ellers giver det forvrængning.



$U_{GS\ Off}$ er den negative spænding på gaten, der lukker kanalen helt. Den kaldes også for V_P eller $V_{Pinch\ off}$.

Animation kan ses på:

http://www.st-andrews.ac.uk/~www_pa/Scots_Guide/info/comp/active/jfet/jfet.htm

Formelen for I_{DS} -grafens er:

$$I_{DS} = I_{DSS} \left(1 - \frac{U_{GS}}{U_{GS\ off}} \right)^2$$



U_{GS} og $U_{GS\ off}$ er negative. Isoleres U_{GS} i ligningen fås ligningen:

$$U_{GS} = U_{GS\ off} \left(1 - \sqrt{\frac{I_{DS}}{I_{DSS}}} \right)$$

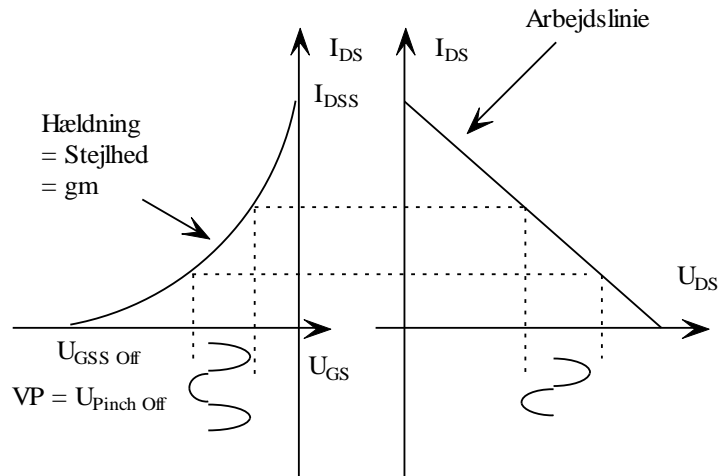
For forskellige typer JFET-transistorer kan I_{DSS} findes fra 2 til 25 mA. Og $U_{GSS\ off}$ fra -2 til -8 Volt. Der er altså stor parameter-spredning.

Ved hjælp af viste skitse, kan sammenhængen mellem gatespændingen og drainstrømmen ses.

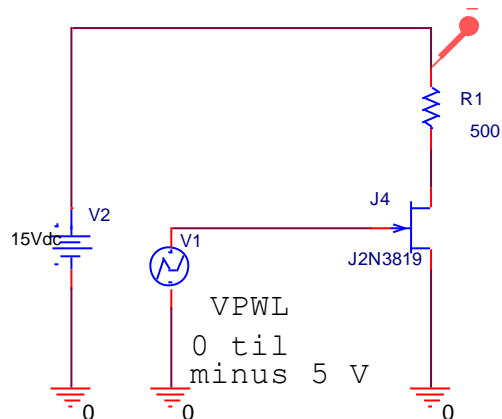
Hældningen for U_{GS} . = stejlheden = g_m siger noget om, hvor stor ændring i I_{DS} man får for en ændring i U_{GS} . g_m kan fx være 2 mA/Volt. Følgende udtryk må gælde for g_m :

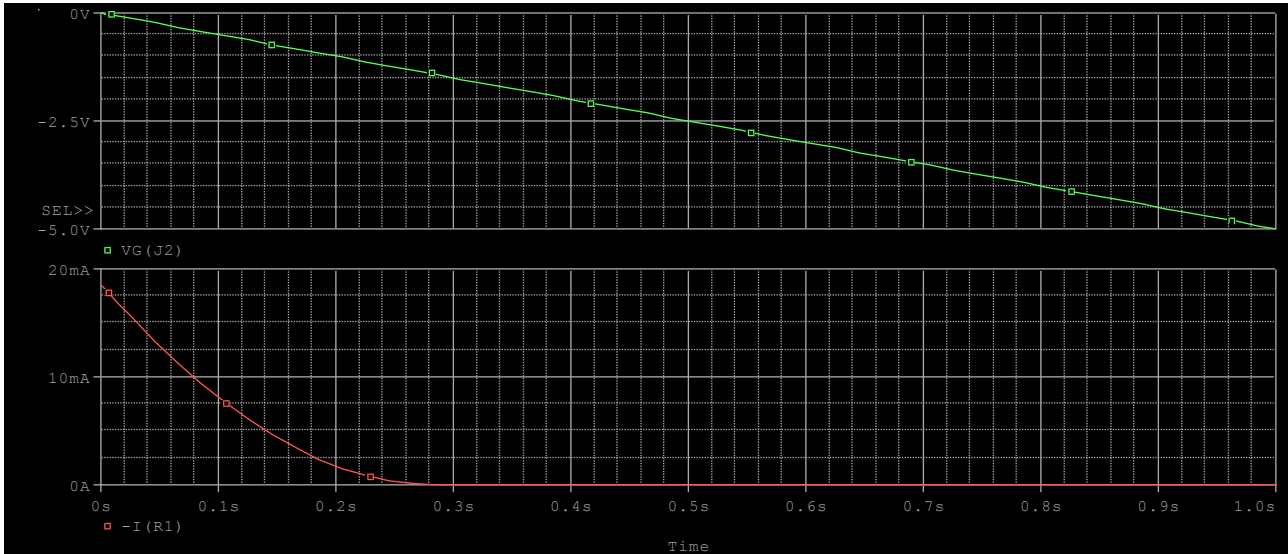
$$g_m = \frac{\Delta I_D}{\Delta U_{GS}}$$

For g_m findes værdier fra 1 til 5 mA/V



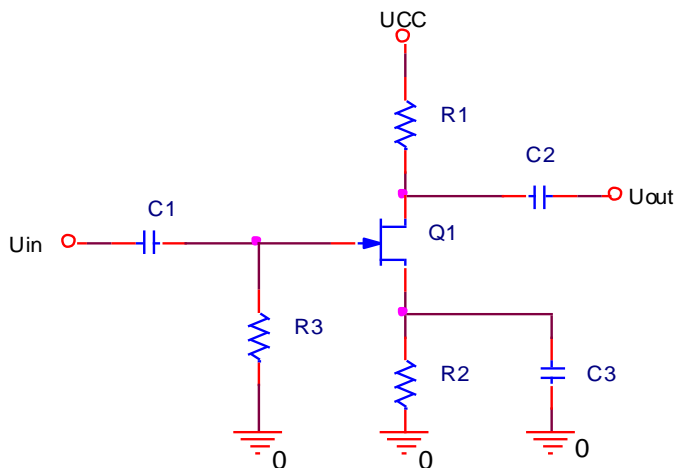
Opbyg følgende ORCAD simulation





Ps. Ændre X-aksen til at være Vgate. !

Et praktisk kredsløb:



Her er vist et praktisk forstærkerkredsløb med en JFET transistor.

Strømmen ned gennem R1, gennem transistoren og gennem R2 skaber et spændingsfald over R2. Herved er transistorens Source hævet over nul. Og gatespændingen er nul, dvs. negativ i forhold til Sourcespændingen.

Der vil ved rigtig valg af modstande indstille sig en ligevægt, således at U_{drain} er ca halv forsyningspænding, som giver størst mulig signalsving for U_{out} .

Formlen for forstærkningen er:

$$\text{Forstærkning} = \frac{U_{\text{Out}}}{U_{\text{In}}} = \frac{g_m \cdot U_{gs} \cdot R_{\text{Drain}} \parallel R_{\text{Last}}}{U_{gs}} = g_m \cdot R_{\text{Drain}} \parallel R_{\text{Last}}$$

Er der ingen belastningsmodstand, falder R_L bort.

C3 afkobler R2 AC-mæssigt, men R2 skaber negativ gate-spænding i forhold til Source.

Er der ingen afkobling af R_{Source} fås følgende formel for forstærkningen:

$$\text{Forstærkning} = \frac{U_{\text{Out}}}{U_{\text{In}}} = \frac{g_m \cdot U_{gs} \cdot R_{\text{Drain}} \parallel R_{\text{Last}}}{U_{gs} + g_m \cdot U_{gs} \cdot R_s} = \frac{g_m \cdot R_{\text{Drain}} \parallel R_{\text{Last}}}{1 + g_m \cdot R_s}$$



Afkobles, er R_S eller $R_{Source} = 0$!!. Hvorved bliver de to formler ens !!

Dimensionering:

Ved dimensionering gælder det om at finde modstandene R_{drain} og R_{source} , der bevirker, at kredsløbet arbejder tilfredsstillende.

Bliver R_{source} for stor, bliver tværstrømmen for lille, fordi så skal der mindre strøm i R_{source} til for at "lukke" gaten. Men tværstrømmen skal jo ikke lukkes helt.

Ud fra følgende formler findes en U_{GS} således at tværstrømmen $I_{DS} = I_{DSS}/2$.

$$U_{GS} = U_{GS\text{off}} \left(1 - \sqrt{\frac{I_{DS}}{I_{DSS}}} \right)$$

$$U_{GS} = U_{GS\text{off}} \left(1 - \sqrt{\frac{0,5 \cdot I_{DSS}}{I_{DSS}}} \right)$$

En tommelfingerregel siger, at $U_{GS} \cong U_{GS\text{off}} \cdot \frac{1}{3,414}$ U_{GS} og $U_{GS\text{off}}$ er negative.

Altså har vi:

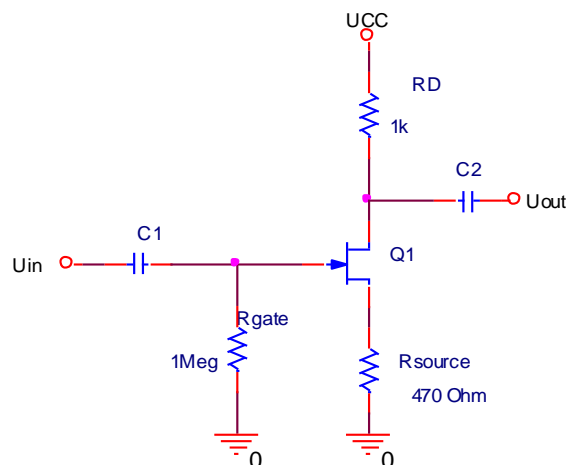
Når $U_{GS} \cong \frac{U_{GS\text{off}}}{3,414}$ bliver arbejds punktet $I_D \cong \frac{I_{DSS}}{2}$

Eks.:

Er $I_{DSS} = 10$ mA for valgte valgte transistor, ønskes altså en hvile-tværstrøm på 5 mA. $U_{GS\text{off}}$ er -8 V.

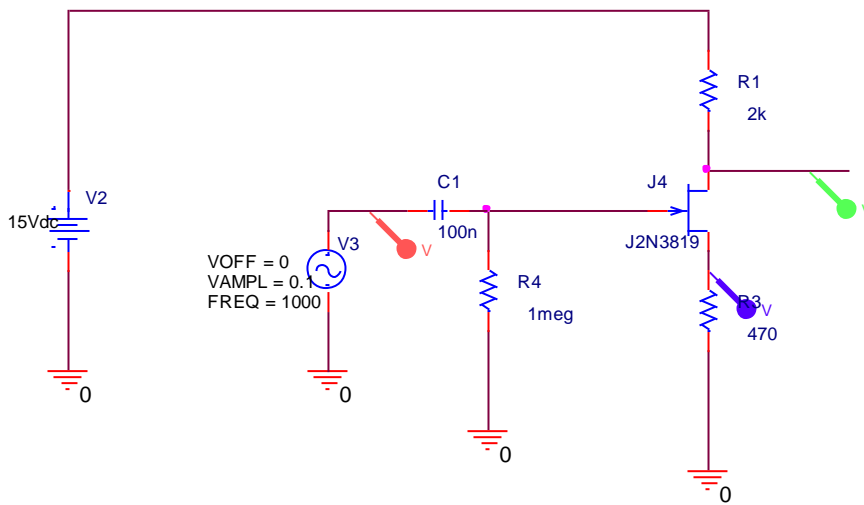
$$U_{gs} \text{ bliver: } U_{GS} \cong \frac{U_{GS\text{off}}}{3,414} = \frac{-8}{3,414} = -2,34[V]$$

$$U_{GS} = -I_{DS} \cdot R_S \Rightarrow R_S = \frac{U_{GS}}{-I_{DS}} \Rightarrow R_S = \frac{-2,34}{-0,005} = 469\Omega$$



$$\text{Samlet fås: } R_S = -\frac{U_{GS\text{off}} \cdot 2}{3,414 \cdot I_{DSS}}$$

ORCAD Simulering:



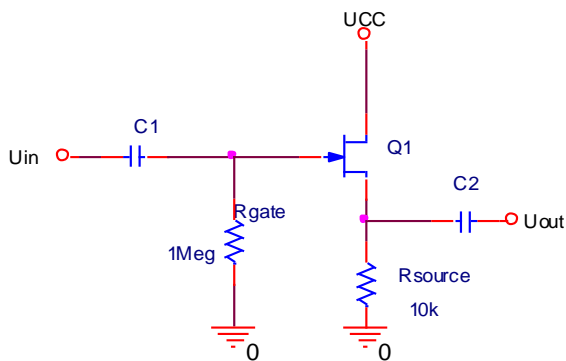
Simuler dette kredsløb:

Sourcefollower:

En Source-follower har stor R_i , og lav R_o .

R_i svarer til R_{gate} .

Et signal på gate findes også på Source !! Derfor må forstærkningen være ca. 1 gange.



$$A' = \frac{U_{Out}}{U_{gen}} = \frac{U_{Out}}{U_{gs} + U_{Out}} = \frac{gm \cdot U_{gs} \cdot (R_S \parallel R_L)}{U_{gs} + gm \cdot U_{gs} \cdot (R_S \parallel R_L)} \Rightarrow$$

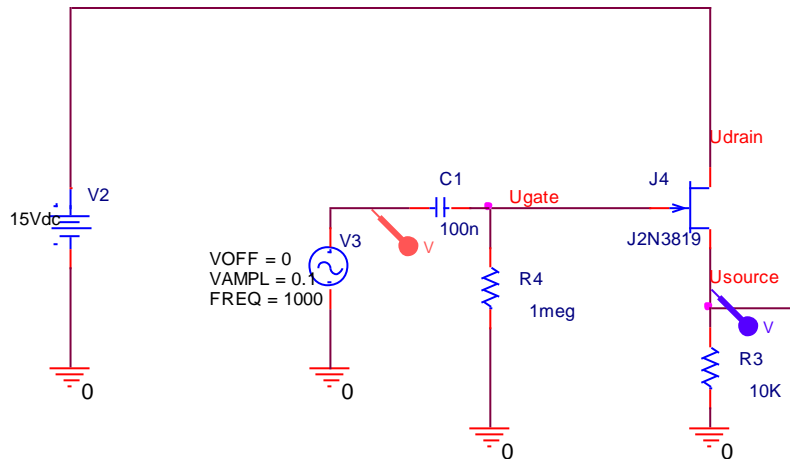
$$A' = \frac{gm \cdot (R_S \parallel R_L)}{1 + gm \cdot (R_S \parallel R_L)}$$

Eks.: $gm = 2\text{mA/V}$: $A' = 0,95$!!



ORCAD Simulering:

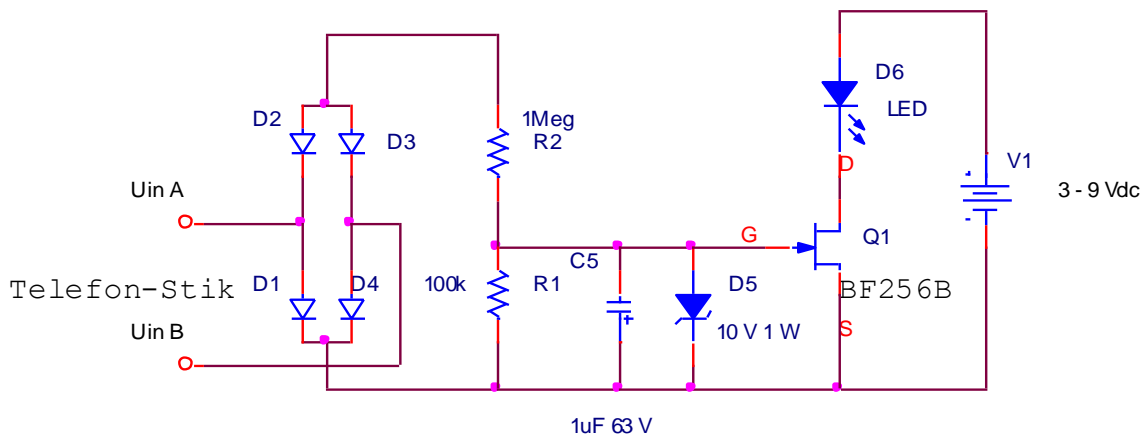
Opbyg viste kredsløb, og test det.



I nogle typer operationsforstærkere, fx TL 081, er der benyttet det bedste fra de to transistortyper!! Denne type kaldes for BiFet, som kommer af Bipolar og Fet.

Eksempler på brug af JFET

Følgende kredsløb angiver, om telefonen er i brug et sted i huset.



Spændingen mellem lederne på en telefonlinie ved "ON-HOOK", altså når røret er lagt på, er ca. 50 til 60 V DC. Det betyder, at ledningen for neden er positiv. Spændingen er begrænset af zenerdioden til max 10 Volt. Dvs. gaten på FET'en er minus 10 Volt i forhold til dens sourcespænding. Transistoren spærrer.

Løftes telefonrøret, falder spændingen til 10-20 Volt DC. Vha spændingsdelingen mellem R1 og R2 vil gaten nu ikke få en mindre negativ spænding, og transistoren leder. Lysdioden lyser altså, når røret er løftet, og er optaget.



Eksempel på JFET
brugt som
strømgenerator:

Strømgeneratoren
er her brugt fordi
der ønskes en
konstant spænding
i punkt B.

Hvis der i stedet for
T1 blev brugt en
modstand, ville
strømmen gennem
D11 være afhængig
af
batterispændingen.

